

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-134606

(43)Date of publication of application : 30.04.2004

(51)Int.Cl.

H01L 23/12

H01L 21/60

H01L 23/32

H05K 3/34

(21)Application number : 2002-298324

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 11.10.2002

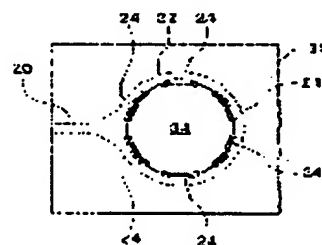
(72)Inventor : HANAOKA TERUNAO

(54) WIRING BOARD AND ITS PRODUCING METHOD, SEMICONDUCTOR DEVICE, CIRCUIT BOARD AND ELECTRONIC APPARATUS

(57)Abstract:

PROBLEM TO BE SOLVED: To enhance reliability by relaxing stress.

SOLUTION: The wiring board comprises a substrate 10, and a wiring pattern 20 having lands 22 formed on the substrate 10. The land 22 is provided with a through hole 24 for exposing the substrate 10. The through holes 24 is made along the outer circumference of the land 22.



(19) 日本国特許庁 (JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-134606

(P2004-134606A)

(43) 公開日 平成16年4月30日 (2004. 4. 30)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
H01L 23/12	H01L 23/12 501W	5E319
H01L 21/60	H01L 21/60 311S	5F044
H01L 23/32	H01L 23/32 D	
H05K 3/34	H05K 3/34 501E	
	H05K 3/34 502E	

審査請求 有 請求項の数 21 O L (全 11 頁)

(21) 出願番号	特願2002-298324 (P2002-298324)	(71) 出願人	000002369
(22) 出願日	平成14年10月11日 (2002. 10. 11)		セイコーエプソン株式会社
			東京都新宿区西新宿 2 丁目 4 番 1 号
		(74) 代理人	100090479
			弁理士 井上 一
		(74) 代理人	100090387
			弁理士 布施 行夫
		(74) 代理人	100090398
			弁理士 大淵 美千栄
		(72) 発明者	花岡 輝直
			長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内
		F ターム (参考)	5E319 AA03 AB06 AC02 AC04 AC12
			AC13 BB05 CC33 GG11
			5F044 KK02 KK12 LL01

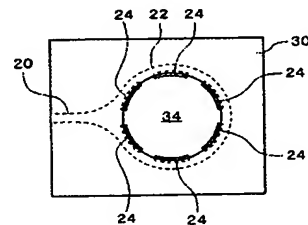
(54) 【発明の名称】 配線基板及びその製造方法、半導体装置、回路基板並びに電子機器

(57) 【要約】

【課題】 応力を緩和することにより信頼性の向上を図ることにある。

【解決手段】 配線基板は、基板 10 と、基板 10 に形成され、ランド 22 を有する配線パターン 20 と、を含む。ランド 22 には、基板 10 を露出する貫通穴 24 が形成されている。貫通穴 24 は、ランド 22 の外周に沿って形成されている。

【選択図】 図 4



【特許請求の範囲】**【請求項 1】**

基板と、
前記基板上に形成されたランドを有する配線パターンと、
を含み、
前記ランドには、前記基板を露出する貫通穴が形成され、
前記貫通穴は、前記ランドの外周に沿って形成されてなる配線基板。

【請求項 2】

請求項 1 記載の配線基板において、
前記ランドの平面形状は、ほぼ円形状である配線基板。

10

【請求項 3】

請求項 1 又は請求項 2 に記載の配線基板において、
前記貫通穴は、長穴である配線基板。

【請求項 4】

請求項 3 記載の配線基板において、
前記貫通穴は、前記ランドの外周に直交する方向よりも、前記ランドの外周に沿った方向
に長い長穴である配線基板。

【請求項 5】

請求項 1 から請求項 4 のいずれかに記載の配線基板において、
前記ランドには、複数の前記貫通穴が形成されてなる配線基板。

20

【請求項 6】

請求項 5 記載の配線基板において、
前記複数の貫通穴は、前記ランドの外周に沿って配列されてなる配線基板。

【請求項 7】

請求項 5 又は請求項 6 に記載の配線基板において、
前記複数の貫通穴は、隣同士の距離がほぼ同じになるように配置されてなる配線基板。

【請求項 8】

請求項 1 から請求項 7 のいずれかに記載の配線基板において、
前記基板の前記配線パターンが形成された面に形成され、前記ランドの少なくとも一部を
露出させる開口部を有するレジスト層をさらに含む配線基板。

30

【請求項 9】

請求項 8 記載の配線基板において、
前記レジスト層の前記開口部の平面形状は、ほぼ円形状である配線基板。

【請求項 10】

請求項 8 又は請求項 9 に記載の配線基板において、
前記レジスト層は、前記貫通穴の少なくとも一部を覆ってなる配線基板。

【請求項 11】

請求項 8 から請求項 10 のいずれかに記載の配線基板において、
前記レジスト層は、前記貫通穴を覆うように形成され、
前記貫通穴は、前記レジスト層の前記開口部の外周にほぼ接してなる配線基板。

40

【請求項 12】

請求項 1 から請求項 11 のいずれかに記載の配線基板において、
インターポーザとして構成された配線基板。

【請求項 13】

請求項 1 から請求項 11 のいずれかに記載の配線基板において、
マザーボードとして構成された配線基板。

【請求項 14】

請求項 1 から請求項 12 のいずれかに記載の配線基板と、
前記配線パターンに電氣的に接続された半導体チップと、
を含む半導体装置。

50

【請求項 15】

請求項 14 記載の半導体装置において、
前記ランドに設けられた外部端子をさらに含む半導体装置。

【請求項 16】

請求項 14 又は請求項 15 に記載の半導体装置が実装された回路基板。

【請求項 17】

請求項 14 又は請求項 15 に記載の半導体装置を有する電子機器。

【請求項 18】

ランドを有する配線パターンを基板に形成することを含み、
前記ランドの外周に沿った領域に、基板を露出する貫通穴を形成する配線基板の製造方法

10

【請求項 19】

請求項 18 に記載の配線基板の製造方法において、
前記貫通穴を、前記配線パターンと同時に形成する配線基板の製造方法。

【請求項 20】

請求項 18 又は請求項 19 に記載の配線基板の製造方法において、
前記ランドに複数の前記貫通穴を形成する配線基板の製造方法。

【請求項 21】

請求項 18 から請求項 20 のいずれかに記載の配線基板の製造方法において、
前記基板の前記配線パターンが形成された面に、前記ランドの少なくとも一部を露出させる開口部を有するようにレジスト層を形成することをさらに含む配線基板の製造方法。

20

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、配線基板及びその製造方法、半導体装置、回路基板並びに電子機器に関する。

【0002】**【発明の背景】**

半導体装置が基板に実装された場合、両者間の電氣的接続部に加えられる応力を緩和させることが重要である。この応力は、半導体チップと基板との熱膨張係数の違いによって生じる。従来、この応力が十分に緩和できないことによって、半導体装置の外部端子（ハンダボール）の破壊や、配線の断線が生じることがあった。

30

【0003】

本発明の目的は、応力を緩和することにより信頼性の向上を図ることにある。

【0004】**【課題を解決するための手段】**

(1) 本発明に係る配線基板は、基板と、
前記基板上に形成されたランドを有する配線パターンと、
を含み、
前記ランドには、前記基板を露出する貫通穴が形成され、
前記貫通穴は、前記ランドの外周に沿って形成されてなる。

40

【0005】

本発明によれば、ランドには、基板を露出する貫通穴が形成されている。そして、貫通穴は、ランドの外周に沿って形成されている。これによって、例えば、ランドの中央部が変位しやすくなるので、配線基板に生じる応力を緩和することができる。したがって、配線パターンの断線を防止することができ、配線基板の信頼性を向上させることができる。

【0006】

(2) この配線基板において、
前記ランドの平面形状は、ほぼ円形状であってもよい。

【0007】

(3) この配線基板において、

50

前記貫通穴は、長穴であってもよい。

【0008】

(4) この配線基板において、
前記貫通穴は、前記ランドの外周に直交する方向よりも、前記ランドの外周に沿った方向に長い長穴であってもよい。

【0009】

これによれば、ランドの中央部を避けて貫通穴を形成することができる。

【0010】

(5) この配線基板において、
前記ランドには、複数の前記貫通穴が形成されてもよい。

10

【0011】

これによって、より一層、ランドが変形しやすくなる。

【0012】

(6) この配線基板において、
前記複数の貫通穴は、前記ランドの外周に沿って配列されてもよい。

【0013】

これによれば、ランドの中央部が応力に対して変位しやすくなるので、応力を効果的に緩和することができる。

【0014】

(7) この配線基板において、
前記複数の貫通穴は、隣同士の距離がほぼ同じになるように配置されてもよい。

20

【0015】

これによって、ランド平面上のあらゆる方向に加えられる応力に対して、ランドが変形しやすくなる。

【0016】

(8) この配線基板において、
前記基板の前記配線パターンが形成された面に形成され、前記ランドの少なくとも一部を露出させる開口部を有するレジスト層をさらに含んでもよい。

【0017】

(9) この配線基板において、
前記レジスト層の前記開口部の平面形状は、ほぼ円形状であってもよい。

30

【0018】

(10) この配線基板において、
前記レジスト層は、前記貫通穴の少なくとも一部を覆ってもよい。

【0019】

(11) この配線基板において、
前記レジスト層は、前記貫通穴を覆うように形成され、
前記貫通穴は、前記レジスト層の前記開口部の外周にほぼ接してもよい。

【0020】

(12) この配線基板において、
インターポーザとして構成されてもよい。

40

【0021】

(13) この配線基板において、
マザーボードとして構成されてもよい。

【0022】

(14) 本発明に係る半導体装置は、上記配線基板と、
前記配線パターンに電氣的に接続された半導体チップと、
を含む。

【0023】

本発明によれば、半導体装置に生じる応力を緩和することができる。

50

【0024】

(15) この半導体装置において、
前記ランドに設けられた外部端子をさらに含んでもよい。

【0025】

これによれば、半導体装置に生じる応力を緩和できるので、外部端子の破壊を防止することができる。

【0026】

(16) 本発明に係る回路基板は、上記半導体装置が実装されている。

【0027】

(17) 本発明に係る電子機器は、上記半導体装置を有する。

10

【0028】

(18) 本発明に係る配線基板の製造方法は、ランドを有する配線パターンを基板に形成することを含み、
前記ランドの外周に沿った領域に、基板を露出する貫通穴を形成する。

【0029】

本発明によれば、ランドの外周に沿った領域に、基板を露出する貫通穴を形成する。これによって、例えば、ランドの中央部を変位しやすくすることができるので、配線基板に生じる応力を緩和することができる。したがって、配線パターンの断線を防止することができ、配線基板の信頼性を向上させることができる。

20

【0030】

(19) この配線基板の製造方法において、
前記貫通穴を、前記配線パターンと同時に形成してもよい。

【0031】

これによって、少ない工程で配線基板を製造することができる。

【0032】

(20) この配線基板の製造方法において、
前記ランドに複数の前記貫通穴を形成してもよい。

【0033】

これによって、より一層、ランドを変形しやすくすることができる。

30

【0034】

(21) この配線基板の製造方法において、
前記基板の前記配線パターンが形成された面に、前記ランドの少なくとも一部を露出させる開口部を有するようにレジスト層を形成することをさらに含んでもよい。

【0035】**【発明の実施の形態】**

以下、本発明の実施の形態について図面を参照して説明する。ただし、本発明は、以下の実施の形態に限定されるものではない。

【0036】

図1は本発明の実施の形態に係る半導体装置を示す図であり、図2は図1の部分拡大図である。図3は図2の平面図であり、半導体装置の一部（配線層、外部端子など）が省略されている。なお、図4～図7は、本実施の形態の変形例を示す図である。

40

【0037】

半導体装置1は、配線基板3を含む。図1に示すように、配線基板3は、半導体パッケージ用のインターポーザであってもよい。詳しくは、配線基板3は、半導体チップ50と回路基板（マザーボード）70との間を再配置配線するためのものであってもよい（図8参照）。配線基板3は、基板10と、配線パターン20と、を含む。

【0038】

基板10は、少なくとも、後述するランド22を上面に有する部分が絶縁材料からなる。例えば、基板10の全体が、絶縁材料からなるものであってもよいし、基板10のランド22側の表面のみが絶縁材料であってもよいし、基板10の表面のうちランド22を上面

50

に有する部分のみが絶縁材料であってもよい。有機系（例えばポリイミド基板）又は無機系（例えばセラミック基板、ガラス基板）のいずれの材料から形成されてもよく、これらの複合構造（例えばガラスエポキシ基板）から形成されてもよい。基板10の平面形状は限定されないが、矩形であることが多い。基板10は、単層基板であってもよい。あるいは、絶縁樹脂と配線パターンを積層して構成されるビルドアップ多層構造の基板や、複数の基板が積層された多層基板であってもよい。

【0039】

配線パターン20は、複数の配線からなる。図1に示すように、配線パターン20は、基板10の両面に形成されてもよい。その場合、基板10には、一方の面と他方の面とを電氣的に接続するためのスルーホール12が形成されている。スルーホール12は、内壁面に導電層（多くの場合メッキ層）が形成されてもよいし、導電材料で埋められてもよい。配線パターン20は、例えば、銅（Cu）、クロム（Cr）、チタン（Ti）、ニッケル（Ni）、チタタンングステン（TiW）、金（Au）、アルミニウム（Al）、ニッケルバナジウム（NiV）、タンングステン（W）のうちのいずれか1つ又は複数を積層することで形成してもよい。配線パターン20は、接着材料（図示せず）を介して基板10に貼り付けられて、3層基板を構成してもよい。この場合、フォトリソグラフィを適用した後にエッチングして配線パターン20を形成する。あるいは、配線パターン20を、接着剤なしで基板10に形成して2層基板を構成してもよい。例えば、スパッタリング等によって配線パターン20を形成してもよいし、無電解メッキで配線パターン20を形成するアディティブ法を適用してもよい。

【0040】

配線パターン20は、複数のランド22を有する。ランド22は、配線パターン20のラインよりも面積が大きくなっている。ランド22の平面形状は、円形状であってもよい。あるいは、ランド22の平面形状は、楕円形、矩形のいずれであってもよい。図1に示す例では、ランド22は、基板10における半導体チップ50が搭載される側とは反対側に形成されている。すなわち、ランド22は、回路基板（マザーボード）との電氣的接続部であってもよい。変形例として、本実施の形態に係るランドは、基板10における半導体チップ50が搭載される側に形成されてもよく、半導体チップ50との電氣的接続部であってもよい。

【0041】

図1に示す例では、ランド22は、スルーホール12とは平面的に異なる位置に形成されている。その場合、スルーホール12とランド22とは配線パターン20のラインによって電氣的に接続されている。変形例として、ランド22は、スルーホール12と平面的に重なる位置に形成されてもよい。

【0042】

図2に示すように、ランド22には、基板10を露出する貫通穴24が形成されている。そして、貫通穴24は、ランド22の外周に沿って形成されている。こうすることで、ランド22が、貫通穴24を有しない場合と比べて、応力に対して変形しやすくなる。詳しくは、ランド22の中央部（例えば複数の貫通穴で囲まれた部分）が変位しやすくなる。ランド22が変形することで応力を緩和するので、配線パターン20が断線するのを防止することができる。なお、ランド22の裏面（基板側の面）の全体は、基板10に接触している。

【0043】

配線パターン20（詳しくはランド22）が複数層からなる場合、貫通穴24は全部の層を貫通する穴である。図3に示すように、1つのランド22に複数の貫通穴24が形成されてもよい。こうすることで、より一層、ランド22が変形しやすくなる。

【0044】

図3に示すように、複数の貫通穴24は、ランド22の外周に沿って配列される。すなわち、複数の貫通穴24は、ランド22の外周端部で、その外周に沿って配列されている。ランド22が円形状である場合に、複数の貫通穴24は、ランド22の形状よりもわずかに

に小さい仮想円周（図示しない）上に配列されてもよい。ランド２２の中央部を複数の貫通穴２４で囲むことで、ランド２２の中央部が応力に対して変位しやすくなるので、応力を効果的に緩和することができる。

【００４５】

図３に示すように、貫通穴２４は、長穴であってもよい。その場合、ランド２２の外周に沿った方向に長い長穴であってもよい。これによれば、長穴を形成する場合であっても、ランド２２の中央部を避けて貫通穴２４を形成することができるので、外部端子４０を設ける領域を広く確保することができる。長穴の内側のコーナーは、角部になっていてもよい。

【００４６】

複数の貫通穴２４は、外周に沿った隣同士の距離がほぼ同じになるように配置されてもよい。こうすることで、ランド平面上のあらゆる方向に加えられる応力に対して、ランド２２が変形しやすくなる。複数の貫通穴２４は、ランド２２における対称な位置に配置されてもよい。詳しくは、複数の貫通穴２４は、ランド２２の中心点（図示しない）に対して点対称となる位置に配置されてもよいし、ランド２２の中心線（図示しない）に対して線対称となる位置に配置されてもよい。

【００４７】

図６の変形例に示すように、長穴である貫通穴２６の内側のコーナーは、丸くなっているもよい。ランド２２に角部をなくすことで、ランド２２に加えられる応力の集中を分散することができる。

【００４８】

図７の変形例に示すように、貫通穴２８は、丸穴であってもよい。複数の丸穴を、ランド２２の外周に沿って配列してもよい。隣同士の丸穴の距離がほぼ同じであれば、ランド平面状のあらゆる方向に加えられる応力に対して、ランド２２が変形しやすくなる。図７に示す例とは別に、複数の貫通穴（丸穴）２８は、ランド２２の全面に形成してもよい。その場合であっても、ランド２２を応力に対して変形しやすくすることができる。

【００４９】

図１に示すように、配線基板３は、レジスト層（例えばソルダレジスト）３０をさらに含む。レジスト層３０は、基板１０の配線パターン２０が形成された面に形成され、配線パターン２０の一部を覆っている。レジスト層３０は、ランド２２の少なくとも一部を露出させる開口部３２を有する。図２及び図３に示すように、レジスト層３０は、ランド２２の外周端部を覆ってもよい。あるいは、レジスト層３０は、ランド２２を避けて、配線パターン２０のラインのみを覆ってもよい。

【００５０】

レジスト層３０の開口部４２の平面形状は、円形、楕円又は矩形のいずれであってもよい。開口部４２の平面形状は、ランド２２の平面形状よりも小さい相似形状であってもよい。レジスト層３０がランド２２の一部を覆う場合、レジスト層３０は、貫通穴２４の少なくとも一部を覆ってもよい。

【００５１】

図３に示すように、レジスト層３０は、複数の貫通穴２４を覆ってもよい。こうすることで、レジスト層３０が貫通穴２４内で基板２０に接触するので、両者の密着性が向上する。また、開口部３２が円形状であれば、ランド２２と外部端子４０との接触面を円形状にすることができるので、外部端子４０の応力の集中を分散することができる。貫通穴２４は、レジスト層３０の開口部３２の外周にほぼ接していてもよい。これによれば、貫通穴２４は開口部３２に接するだけで、レジスト層３０に完全に覆われるわけではないので、ランド２２の変形をレジスト層３０によって妨げることがない。

【００５２】

図３に示すように、ランド２２の中央部（図３では複数の貫通穴で囲まれた領域）は、ランド２２の端部と複数箇所て接続されている。したがって、ランド２２の中央部と端部との両者の接続部に応力が集中して、いずれかの箇所て断線が生じて、他の箇所て接続を

10

20

30

40

50

維持することができる。

【0053】

図4の変形例に示すように、レジスト層30は、複数の貫通穴24の一部を覆ってもよい。図4に示す例では、それぞれの貫通穴24を部分的に覆っている。例えば、それぞれの貫通穴24のほぼ半分がレジスト層30で覆われ、残りの半分が開口部34から露出してもよい。図4に示す例とは別に、レジスト層30は、複数の貫通穴24のいずれか1つ以上（全部を除く）を覆ってもよい。

【0054】

図5の変形例に示すように、レジスト層30は、貫通穴24を覆わなくてもよい。すなわち、複数の貫通穴24は、レジスト層30の開口部36から露出してもよい。その場合、貫通穴24は、レジスト層30の開口部36の内周にほぼ接していてもよい。

10

【0055】

本実施の形態では、ランド22は、基板10の平らな領域に形成されているが、本発明はこれに限定されるものではない。例えば、基板10の一部が凸部となって形成され、ランド22が当該凸部の上面及び側面に一体的に形成されてもよい。その場合、基板10は、外部端子40が形成される位置（例えばマトリクス状の配列）に対応して、複数の凸部（例えば円錐台形状の凸部）を有する。凸部は、樹脂で形成されてもよいし、銅などの金属で形成されてもよい。そして、貫通穴24は、例えば、ランド22における凸部の側面の部分に形成されてもよい。凸部を形成することで、さらに応力を緩和することができる。

【0056】

変形例として、配線基板3は、回路基板（マザーボード）であってもよい。回路基板には、半導体装置のほか、複数の電子部品（光素子、抵抗器、コンデンサ、コイル、発振器、フィルタ、温度センサ、サーミスタ、バリスタ、ボリューム又はヒューズなど）が搭載される。

20

【0057】

本実施の形態に係る配線基板によれば、ランド22には、基板10を露出する貫通穴24が形成されている。そして、貫通穴24は、ランド22の外周に沿って形成されている。これによって、例えば、ランド22の中央部が変位しやすくなるので、配線基板に生じる応力を緩和することができる。したがって、配線パターン20の断線を防止することができる。

30

【0058】

次に、本実施の形態に係る半導体装置について説明する。図1に示すように、半導体装置1は、インターポーザとしての配線基板3と、半導体チップ50と、を含む。半導体チップ50は、配線パターン20に電氣的に接続されている。

【0059】

半導体チップ50は、シリコンチップであることが多いがその材料は限定されない。半導体チップの形状は、直方体であることが多いが、立方体又は球であってもよい。半導体チップ50には、集積回路（図示しない）が形成されている。半導体チップ50は、複数の電極52を有し、いずれかの電極52は集積回路に電氣的に接続されている。複数の電極52は、半導体チップの平行な2辺に沿って端部に配列されていてもよいし、4辺に沿って端部に配列されていてもよいし、中央部に配列されていてもよい。電極52を避けて、半導体チップ50の表面（電極52が形成された面）には、保護膜（例えばパッシベーション膜）が形成されている。

40

【0060】

半導体チップ50は、配線基板3に搭載されている。図1に示す例では、半導体チップ50における電極52を有する面を、配線基板3とは反対側（上方向）を向けて搭載されている。言い換えれば、半導体チップ50は、配線基板3にフェースアップ実装されている。半導体チップ50は、接着剤を介して配線基板3に接着されてもよい。

【0061】

図1に示すように、ワイヤ54によって、半導体チップ50と配線パターン20との電気

50

的な接続を図ってもよい。その場合、ボールボンディング法を適用してもよい。詳しくは、図示しないツール（例えばキャピラリ）の外部に引き出したワイヤ54の先端部をボール状に熔融させ、その先端部を電極52に熱圧着し（超音波振動も併用すると好ましい）、その後、ワイヤ54を配線基板3の方向に引き出して、ワイヤ54の一部を配線パターン20の一部にボンディングする。

【0062】

変形例として、半導体チップ50を配線基板3にフェースダウンボンディングしてもよい。その場合、配線パターン20と、電極52上に形成されるパンプと、を電氣的に接続する。電氣的接続には、異方性導電材料、金属接合（ $\Lambda u-\Lambda u$ 、 $\Lambda u-Sn$ 、ハンダなど）又は絶縁樹脂の収縮力などを利用することができる。

10

【0063】

図1に示すように、配線基板3上の半導体チップ50は、封止部60によって封止されている。封止部60の材料は、例えば樹脂（エポキシ樹脂など）であってもよい。封止方法は限定されず、例えば、型の凹部に封止の材料を充填することで行ってもよいし、ポッティング法を適用して行ってもよい。

【0064】

半導体装置1は、外部端子40をさらに含む。外部端子40は、配線パターン20に電氣的に接続されている。外部端子40は、ランド22上に形成されていてもよい。外部端子40は、導電性を有する金属（例えば合金）であって、熔融させて電氣的な接続を図るためのもの（例えばハンダ）である。外部端子40は、軟ろう（soft solder）又は硬ろう（hard solder）のいずれで形成されてもよい。外部端子40は、球状をなしていてもよく、例えばハンダボールであってもよい。

20

【0065】

本実施の形態に係る半導体装置は、上述の効果を備える。すなわち、ランド22の中央部が変位しやすくなっているため、半導体装置に生じる応力を緩和することができる。したがって、配線パターン20の断線や外部端子40の破壊などを防止して、半導体装置の信頼性を向上させることができる。

【0066】

本実施の形態に係る配線基板の製造方法は、ランド22を有する配線パターン20を基板10に形成することを含む。そして、ランド22の外周に沿った領域に、基板10を露出する貫通穴24を形成する。ランド22には、複数の貫通穴24を形成してもよい。

30

【0067】

貫通穴24は、配線パターン20の形成後に形成してもよい。その場合、露光技術などを適用してマスクとなるレジスト（図示しない）をパターンニングし、レジストからの露出部をエッチングすることで貫通穴24を形成してもよい。また、貫通穴24は、配線パターン20と同時に形成してもよい。その場合、上述の露光技術を適用して配線パターン20のパターンニングと同時に貫通穴24を形成してもよい。あるいは、メッキ法によって導電材料を析出させてもよい。それらを同時に形成すれば、少ない工程で簡単に貫通穴24を形成することができる。なお、貫通穴24の形成は、その他の周知の技術（レーザビーム、インクジェット又は印刷など）を適用して行ってもよい。その後、レジスト層（例えばソルダレジスト）20を塗布し、所定の部分（ランドの少なくとも一部を含む部分）を露光技術やレーザビームにより露出させる。なお、その他の内容は、上述の配線基板で説明した内容が該当する。

40

【0068】

本実施の形態に係る半導体装置の製造方法は、上述の配線基板を使用して、半導体チップ50を実装する工程を含む。なお、配線基板のランド22に、ハンダなどを印刷してリフロー工程を経て、外部端子40を形成してもよい。

【0069】

図8は、半導体装置が実装された回路基板を示す図である。回路基板（マザーボード）70には、配線パターン72が形成され、配線パターン72に外部端子40が接合されてい

50

る。これによれば、回路基板 70 と半導体装置 1 との熱膨張係数の違いによって生じる応力を効果的に緩和することができる。

【0070】

なお、本発明の実施の形態に係る半導体装置を有する電子機器として、図 9 にはノート型パーソナルコンピュータ 1000 が示され、図 10 には携帯電話 2000 が示されている。

【0071】

本発明は、上述した実施の形態に限定されるものではなく、種々の変形が可能である。例えば、本発明は、実施の形態で説明した構成と実質的に同一の構成（例えば、機能、方法及び結果が同一の構成、あるいは目的及び結果が同一の構成）を含む。また、本発明は、実施の形態で説明した構成の本質的でない部分を置き換えた構成を含む。また、本発明は、実施の形態で説明した構成と同一の作用効果を奏する構成又は同一の目的を達成することができる構成を含む。また、本発明は、実施の形態で説明した構成に公知技術を付加した構成を含む。

10

【図面の簡単な説明】

【図 1】 図 1 は、本発明の実施の形態に係る半導体装置を示す図である。

【図 2】 図 2 は、図 1 の部分拡大図である。

【図 3】 図 3 は、本発明の実施の形態に係る半導体装置を示す図である。

【図 4】 図 4 は、本発明の実施の形態の変形例に係る半導体装置を示す図である。

【図 5】 図 5 は、本発明の実施の形態の変形例に係る半導体装置を示す図である。

20

【図 6】 図 6 は、本発明の実施の形態の変形例に係る半導体装置を示す図である。

【図 7】 図 7 は、本発明の実施の形態の変形例に係る半導体装置を示す図である。

【図 8】 図 8 は、本発明の実施の形態に係る回路基板を示す図である。

【図 9】 図 9 は、本発明の実施の形態に係る電子機器を示す図である。

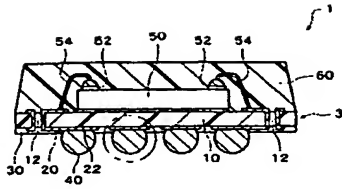
【図 10】 図 10 は、本発明の実施の形態に係る電子機器を示す図である。

【符号の説明】

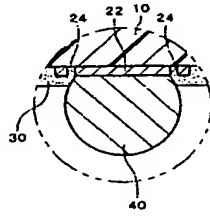
10 基板、 20 配線パターン、 22 ランド、 24 貫通穴
26 貫通穴、 28 貫通穴、 30 レジスト層、 32 開口部
34 開口部、 36 開口部、 40 外部端子、 50 半導体チップ
70 回路基板

30

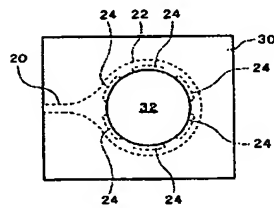
【図 1】



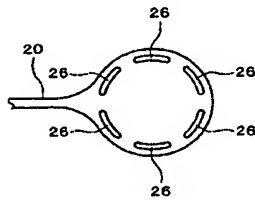
【図 2】



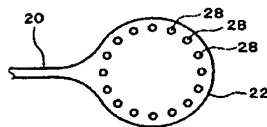
【図 3】



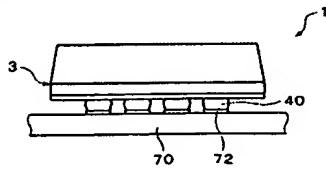
【図 6】



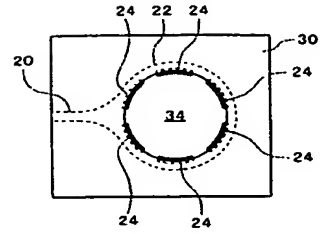
【図 7】



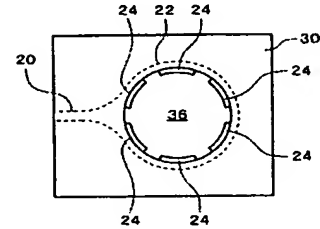
【図 8】



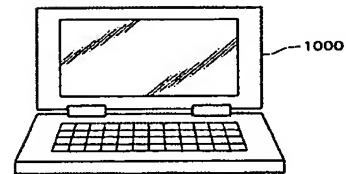
【図 4】



【図 5】



【図 9】



【図 10】

